

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-034709

(43)Date of publication of application : 14.02.1991

(51)Int.Cl.

H03F 1/02

(21)Application number : 01-168723

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 30.06.1989

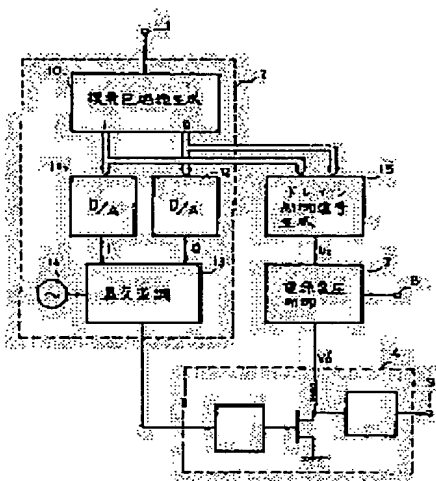
(72)Inventor : YAMAO YASUSHI
NOJIMA TOSHIO
TAKAMI TADAO
TOMISATO SHIGERU

(54) LINEAR TRANSMITTER

(57)Abstract:

PURPOSE: To obtain a highly stable and accurate control signal with no adjustment by using an in-phase envelope component and an orthogonal envelope component generated by a base band processing section of modulator and obtaining a drain control signal of a high frequency amplifier with the digital arithmetic processing at a base band.

CONSTITUTION: A complex number envelope generating circuit 10 calculates an in-phase envelope component I_t and an orthogonal envelope component Q_t in response to the modulation input through digital processing. The calculated value is subject to D/A conversion by D/A converters 11, 12 respectively to obtain the waveform of the components I_t , Q_t . A drain control signal generating circuit 15 uses the components I_t , Q_t calculated by the complex number envelope generating circuit 10 to obtain an envelope R_t . The envelope R_t is inputted to a power voltage control circuit 7 as a drain control signal V_c . The control circuit 7 changes the drain bias voltage of a saturation power amplifier 4 in proportion to a drain control signal V_c . Thus, power amplification is applied with high efficiency and low distortion.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-34709

⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)2月14日

H 03 F 1/02

6832-5 J

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 線形送信装置

⑯ 特 願 平1-168723

⑰ 出 願 平1(1989)6月30日

⑱ 発 明 者 山 尾 泰 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内
⑱ 発 明 者 野 島 俊 雄 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内
⑱ 発 明 者 廣 見 忠 雄 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内
⑱ 発 明 者 富 里 繁 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内
⑲ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号
⑳ 代 理 人 弁理士 井出 直幸

明 細 書

1. 発明の名称
線形送信装置

2. 特許請求の範囲

1. 入力信号を振幅変調する変調部と、
ソース接地またはエミッタ接地された半導体増幅素子により上記変調部が出力する変調波を増幅する高周波増幅器と、

上記半導体増幅素子のドレイン電極またはコレクタ電極のバイアス電圧を上記変調波の包絡線に基づいて制御するバイアス制御手段と

を備えた線形送信装置において、

上記変調部は、入力信号から変調波の同相包絡線成分および直交包絡線成分を生成する複素包絡線生成回路と、この同相包絡線成分および直交包絡線成分により変調波を発生する直交変調器とを含み、

上記バイアス制御手段は、上記同相包絡線成分

および上記直交包絡線成分から演算された包絡線によりバイアス電圧を制御する手段を含むことを特徴とする線形送信装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は高周波帯の送信装置に利用する。特に、包絡線の信号レベルが大きく変化する変調波を高い電力効率で増幅して送信する線形送信装置に関する。

本発明は、高周波増幅器のドレイン電極またはコレクタ電極のバイアス電圧を変調波の包絡線に基づいて制御する線形送信装置において、包絡線としてベースバンド信号から得た同相包絡線成分および直交包絡線成分を用いることにより、ディジタル演算処理により高周波増幅器のバイアス電圧を制御するものである。

〔従来の技術〕

高周波帯の線形送信装置として、従来からA級ないしB級の電力増幅器が用いられてきた。しか

し、包絡線のレベル変化が大きい変調波を増幅する場合には、低レベルの領域において電力効率が著しく低下する欠点があった。このため、例えば電源として電池を用いる可搬形または携帯形の無線機では、送信可能時間が短くなる、大型で重い電池が必要となるという問題があった。

この問題を解決するため本願出願人は、高効率の線形電力増幅器について既に出願した(特開昭62-274906号公報)。この線形電力増幅器を用いた線形送信装置の構成例を第6図に示す。

変調入力端子1には、アナログ信号またはデジタル信号の変調情報が入力される。変調部2は、この変調情報に基づいて線形変調波を発生する。飽和形電力増幅器4は、この線形変調波を増幅して送信出力端子9に出力する。

飽和形電力増幅器4は増幅素子として電界効果トランジスタを含み、この電界効果トランジスタのドレインバイアス電圧 V_D を入力信号の包絡線にほぼ比例して制御することにより、飽和形電力増幅器4の飽和出力レベルを入力信号の包絡線に

追従させる。このような制御により、飽和形電力増幅器4を高効率の飽和状態に保ったまま線形増幅器として動作させることができ、出力の歪を大きく低減させることができる。

ドレインバイアス電圧 V_D は、電源端子8に入力された電源電圧を電源電圧制御回路7により制御することにより得られる。電源電圧制御回路7はDC-DCコンバータまたはシリーズ制御トランジスタを含み、ドレイン制御信号 V_c により制御される。このドレイン制御信号 V_c は、変調部2から飽和形電力増幅器4に供給される線形変調波を結合器3により分岐し、その包絡線を包絡線検波器5で検出し、この検波出力 V_e を補正回路6で補正することにより得られる。

この従来例装置は、高効率の飽和形電力増幅器を用いているので、原理的に極めて高効率の線形増幅を行うことができる。例えば、飽和形電力増幅器4として電力効率が70%のものを用い、電源電圧制御回路7として電力効率が75%のDC-DCコンバータを使用すれば、総合効率50%以上で線形

増幅を行うことができる。

第7図は補正回路6の一例を示すブロック構成図である。

包絡線検波器5が高周波ダイオードその他のアナログ非線形回路部品を含み、温度変動により検波特性が変化する。そこで、温度センサ64により現在の温度を求め、この温度に基づいて演算回路62により包絡線検波器5の検波出力 V_e を補正する。

検波出力 V_e は、アナログ・デジタル変換器61によりデジタル化されて演算回路62に入力される。演算回路62は、温度センサ64の出力に対応するダイオード特性補正値をダイオード特性メモリ65から読み出し、その補正値により入力信号を補正する。補正結果は、デジタル・アナログ変換器63によりアナログ信号に変換されて出力される。

〔発明が解決しようとする課題〕

このように、従来の線形送信装置では、包絡線検波器が高周波ダイオードその他のアナログ非線

形回路部品で構成されるため、温度により検波特性が変化し、製造バラツキによっても特性が変化する。このため、ドレイン制御信号の高精度化が困難であり、ドレインバイアスに誤差が生じて十分に歪を低減できないことがあった。

この問題は、補正回路を設けることにより解決できる。しかし、そのためには回路構成が複雑となり、コストが高くなる欠点があった。

本発明は、以上の問題点を解決し、複雑な補償回路を用いることなく低歪で高効率の線形電力増幅を行う線形送信装置を提供することを目的とする。

〔課題を解決するための手段〕

本発明の線形送信装置は、変調部のベースバンド処理部で発生させた同相包絡線成分と直交包絡線成分とを用い、ベースバンド帯域のデジタル演算処理により高周波増幅器のドレイン(またはコレクタ)制御信号を得ることを特徴とする。

〔作用〕

無線周波数帯でダイオードその他のアナログ素

子を用いた包絡線検波器により包絡線を求めるのではなく、ベースバンド帯域でデジタル演算処理により包絡線を求める。これにより、アナログ素子に起因する特性変化の問題が解決される。

また、デジタル演算によりドレイン（またはコレクタ）制御信号を得るので、抵減部で高安定かつ高精度の制御信号が得られ、十分な変低減効果が得られる。さらに、LSI化が容易となる。

〔実施例〕

第1図は本発明第一実施例の線形送信装置のブロック構成図である。

この装置は、入力信号を振幅変調する変調部2と、ソース接地された電界効果トランジスタにより変調部2の出力する変調波を増幅する飽和形電力増幅器4と、電界効果トランジスタのドレイン電極のバイアス電圧を変調波の包絡線に基づいて制御するバイアス制御手段としてのドレイン制御信号生成回路15および電源電圧制御回路7とを備える。

ここで本実施例の特徴とするところは、変調部

2が、入力信号から変調波の同相包絡線成分および直交包絡線成分を生成する複素包絡線生成回路10と、この同相包絡線成分および直交包絡線成分により変調波を発生する直交変調器13とを含み、ドレイン制御信号生成回路15が複素包絡線生成回路10により得られた同相包絡線成分および直交包絡線成分から包絡線を求める手段を含むことにある。

変調入力端子1にはベースバンド信号が入力され、この信号が複素包絡線生成回路10に供給される。電源端子8には電源電圧が入力され、この電圧が電源電圧制御回路7に供給される。直交変調器13には、搬送波発生器14から搬送波が供給される。

まず、変調部2の動作について説明する。

変調部2は包絡線および位相が変化する変調信号を発生する回路であり、例えば、御代時隆、小野光洋、有野達也共著、「ボーレート可変QPSK変調器の開発」、昭和63年電子情報通信学会春期全国大会講演論文集、分冊B-1、論文番号SB-3-2に

示されている。

ここで、変調波の搬送波角周波数を ω_c 、包絡線信号を $R(t)$ 、変調位相を $\phi(t)$ とすると、変調波 $e(t)$ は一般的に、

$$\begin{aligned} e(t) &= R(t) \cdot \operatorname{Re} \{ \exp[j\phi(t)] \cdot \exp[j\omega_c t] \} \\ &= \operatorname{Re} \{ E(t) \cdot \exp[j\omega_c t] \} \end{aligned} \quad (1)$$

と表される。ただし、 $\operatorname{Re}\{f\}$ は関数 f の実数部を表す。 $E(t)$ は複素包絡線であり、

$$\begin{aligned} E(t) &= I(t) - jQ(t) \quad (2) \\ \left. \begin{aligned} I(t) &= R(t) \cos \phi(t) \\ Q(t) &= R(t) \sin \phi(t) \end{aligned} \right\} \quad (3) \end{aligned}$$

と表される。 $I(t)$ 、 $Q(t)$ をそれぞれ同相包絡線成分、直交包絡線成分という。

複素包絡線生成回路10では、変調入力に応じた同相包絡線成分 $I(t)$ および直交包絡線成分 $Q(t)$ の値をデジタル処理により算出する。この計算値をそれぞれデジタル・アナログ変換器11、12でアナログ電圧に変換することにより、 $I(t)$ 、 $Q(t)$ の波形が得られる。これらの波形を直交変調器13

に入力する。この直交変調器13は、 $I(t)$ 、 $Q(t)$ にそれぞれ同相搬送波、直交搬送波を乗算し、これらを加え合わせるにより $e(t)$ を求める。

ドレイン制御信号生成回路15は、複素包絡線生成回路10で算出された $I(t)$ 、 $Q(t)$ の値を用いて、

$$R(t) = \sqrt{I(t)^2 + Q(t)^2} \quad (4)$$

により包絡線 $R(t)$ を求める。この包絡線 $R(t)$ は、そのまま、あるいはドレイン制御が最適となるように補正を施した後に、デジタル・アナログ変換器によりアナログ電圧に変換され、ドレイン制御信号 V として電源電圧制御回路7に入力される。

電源電圧制御回路7は、飽和形電力増幅器4のドレインバイアス電圧をドレイン制御信号 V に比例して変化させる。

このようにして、飽和形電力増幅器4の信号入力端子には直交変調器13の出力した変調波 $e(t)$ が供給され、ドレイン電圧は変調波 $e(t)$ の包絡線に対応して制御される。したがって、高効率の飽和状態を保ちながら線形増幅を行うことができ、送

倍出力増子9に歪の少ない送信信号を得ることができる。

第2図はドレイン制御信号生成回路15の一例を示すブロック構成図である。この例では、数値演算プロセッサ151を用いた構成を示す。

数値演算プロセッサ151は、入力された同相包絡線成分I(i)および直交包絡線成分Q(i)から、(4)式にしたがって包絡線R(i)を求め、これをそのまま、あるいは若干の補正を加えてデジタル・アナログ変換器152に出力する。デジタル・アナログ変換器152は、この信号をアナログ電圧に変換して出力する。

第3図はドレイン制御信号生成回路15の他の例を示す。この例は、数値演算プロセッサ151の代わりにメモリテーブル153を用い、構成を簡略化したものである。

ここで、同相包絡線成分I(i)および直交包絡線成分Q(i)の値がそれぞれのビットのデータで表されているとする。メモリテーブル153には読み出し専用メモリまたはランダムアクセスメモリが用

いられ、そのアドレスA₀〜A_{m-1}には同相包絡線成分I(i)のデータが入力され、アドレスA_m〜A_{m+n-1}には直交包絡線成分Q(i)のデータが入力される。メモリテーブル153の各アドレスには、同相包絡線成分I(i)、直交包絡線成分Q(i)のデータに対応する包絡線R(i)の値、またはそれを補正した値があらかじめ書き込まれている。したがって、メモリテーブル153の出力をデジタル・アナログ変換器152によりアナログ電圧に変換すれば、第2図に示した構成と同一の動作を簡単な構成で実現できる。

このように本実施例は、変調部2の複素包絡線情報に基づいて、デジタル処理によりドレイン制御信号V_dを発生する。したがって、高周波かつ温度変動や製造バラツキに影響されにくい高安定なドレイン制御信号V_dを得ることができる。また、ドレイン制御信号生成回路15が複素包絡線生成回路10と同じデジタル回路で構成されるので、変調部2のベースバンド処理部を含めた形で容易にLSI化することができ、部品点数の削減

に有効である。

第4図は本発明第二実施例形態送信装置のブロック構成図である。

この実施例は、ドレインバイアスと変調波e(i)との間の遅延時間調整を行う点が第一実施例と異なる。

ドレイン制御によって歪を十分に小さくするには、電源電圧制御回路7が出力するドレインバイアス電圧V_dの時間波形と、直交変調器13から出力される変調波e(i)の包絡線波形とが、時間的に正確に対応している必要がある。しかし、現実には、電源電圧制御回路7が有限の周波数帯域をもち、遅延が生じる。このため、ドレインバイアス電圧の波形と変調波e(i)の包絡線波形とが、飽和形電力増幅器4内の増幅素子において時間的に一致せず、低歪効果が不十分となることがある。

そこで本実施例では、変調部2内に設けられたデジタル・アナログ変換器11、12の入力側に、それぞれデータ遅延回路16、17を挿入する。これにより、電源電圧制御回路7における遅延を相殺

し、十分な低歪効果を得ることができる。

データ遅延回路16、17としては、シフトレジスタその他を用いることができる。

第5図は本発明第三実施例形態送信装置のブロック構成図である。

第一実施例の構成において、直交変調器13の出力に、変調波以外のサブキャリア成分を除去するために狭帯域の帯域通過フィルタが挿入されることがある。その場合には、その帯域通過フィルタにおける遅延時間が電源電圧制御回路7における遅延時間より大きくなることがある。このような場合には、ドレインバイアス電圧を遅延させる必要がある。

第5図に示す実施例はこのような場合に適した構成であり、ドレイン制御信号生成回路15内のデジタル・アナログ変換器152の入力側にデータ遅延回路154が挿入されたことが第一実施例と異なる。また、メモリテーブル153または数値演算プロセッサ151の前後にデータ遅延回路を挿入してもよい。

このように、第二実施例および第三実施例では、回路各部の遅延が無視できない場合でも、データをデジタル的に遅延させて遅延時間を調整し、十分な歪低減効果を得ることができる。

以上の実施例では飽和形電力増幅器4の増幅素子として電界効果トランジスタを用いた例を示したが、エミッタ接地されたバイポーラトランジスタを用いた場合でも本発明を同様に実施できる。

(発明の効果)

以上説明したように、本発明の線形送信装置は、包絡線検波器を用いないで高精度かつ高安定のドレイン制御が可能であり、これにより高効率かつ低歪で電力増幅を行うことができる。また、ベースバンド帯でデジタル的にドレイン制御信号を生成しているので、LSI化が容易である。

本発明は、高周波帯の線形送信装置の低消費電力化、経済化に有効である。特に、大電力送信が必要な放送局用の送信機や、消費電力が厳しく制限される移動通信用無線装置、衛星通信装置その他に使用して、これらを小型化および低消費電力

化でき、経済化できる効果がある。

4. 図面の簡単な説明

第1図は本発明第一実施例線形送信装置のブロック構成図。

第2図はドレイン制御信号生成回路の一例を示すブロック構成図。

第3図はドレイン制御信号生成回路の別の例を示すブロック構成図。

第4図は本発明第二実施例線形送信装置のブロック構成図。

第5図は本発明第三実施例線形送信装置のブロック構成図。

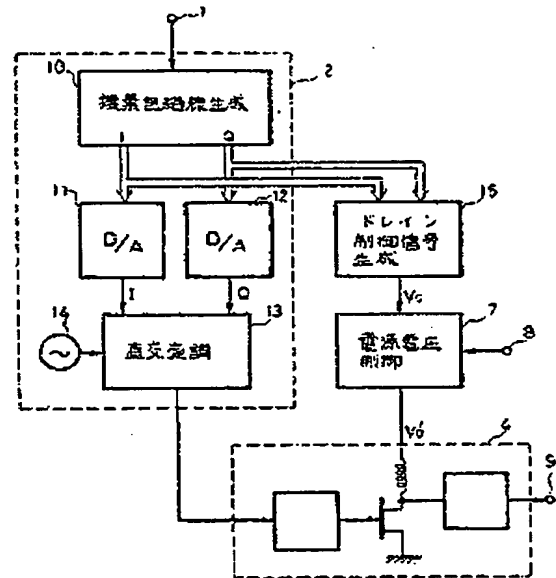
第6図は従来例線形送信装置のブロック構成図。

第7図は補正回路の一例を示すブロック構成図。

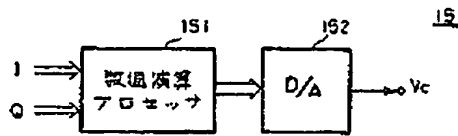
1…変調入力端子、2…変調部、3…結合器、4…飽和形電力増幅器、5…包絡線検波器、6…補正回路、7…電源電圧制御回路、8…電源端子、9…送信出力端子、10…包絡線生成回路、11、12、13、14…デジタル・アナログ変換器、15…直

交変調器、16…搬送波発生器、17…ドレイン制御信号生成回路、18、19、20…データ遅延回路、21…アナログ・デジタル変換器、22…演算回路、23…温度センサ、24…ダイオード特性メモリ。

特許出願人 日本電信電話株式会社
代理人 井野士 井出 直 孝

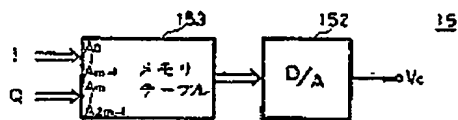


第1実施例
図1



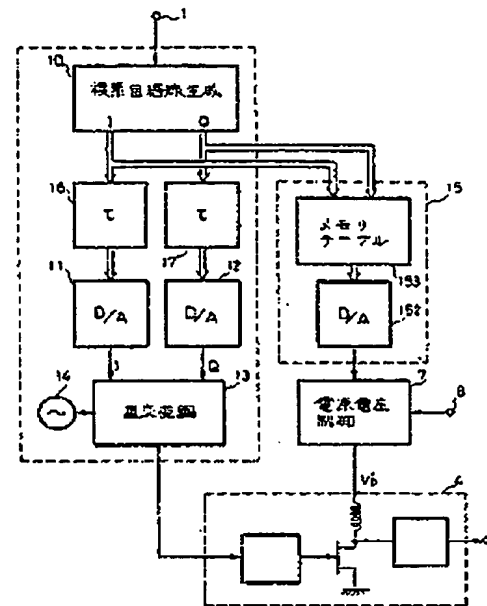
ドレイン制御信号生成回路

第 2 図

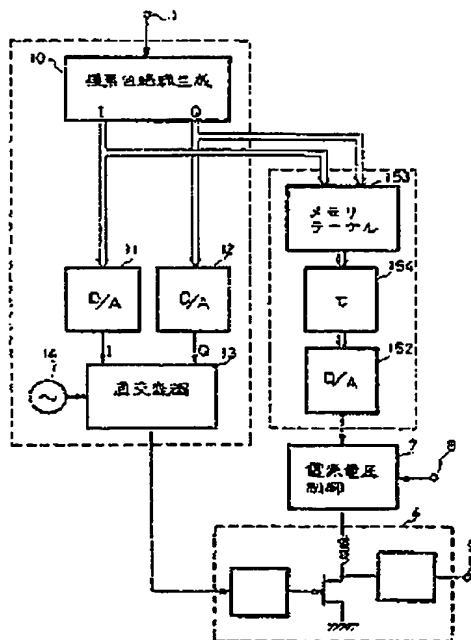


ドレイン制御信号生成回路

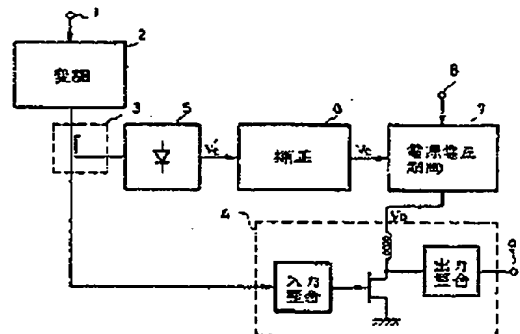
第 3 図



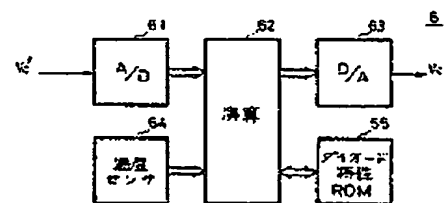
第 4 図



第 5 図



第 6 図



第 7 図